

УДК 621.382

## МЕТОДЫ ОЦЕНКИ ЭНЕРГОПОТРЕБЛЕНИЯ ПРИ ПРОЕКТИРОВАНИИ КМОП-МИКРОСХЕМ

**Черемисинова Людмила Дмитриевна,**

*д-р техн. наук, главный научный сотрудник,*

*e-mail: cld@newman.bas-net.by,*

*Объединенный институт проблем информатики*

*Национальной академии наук Беларуси, г. Минск*

*Проектированию схем с малым энергопотреблением придается все большее значение в связи с тем, что чрезмерное рассеивание энергии цифровыми устройствами становится препятствием для дальнейшего повышения уровня интеграции и сложности сверхбольших интегральных схем (СБИС), а также в связи с расширением рынка портативных устройств с автономным питанием. Уровень энергопотребления зависит от многих электрических и топологических параметров схемы, и его снижение может обеспечиваться на разных уровнях проектирования. В связи с этим одной из важнейших задач является разработка методов и средств оценки энергопотребления не только готовых схем на уровне транзисторов, но вычисления прогнозных оценок в процессе их проектирования. В работе рассматривается проблема оценки энергопотребления микросхем, выполненных на основе КМОП-технологии. Под оценкой энергопотребления понимается оценка среднего значения энергии, рассеиваемой схемой. Приводится аналитический обзор известных методов оценки среднего энергопотребления статических КМОП-схем в штатном режиме их функционирования, применяемых на разных этапах проектирования.*

**Ключевые слова:** проектирование СБИС, энергопотребление, КМОП-технология, моделирование, оценка рассеивания мощности

## POWER ESTIMATION TECHNIQUES IN CMOS CIRCUIT DESIGN

**Cheremisinova Liudmila,**

*Doctor of Technical Sciences, Principal Researcher,*

*e-mail: cld@newman.bas-net.by,*

*United Institute of Informatics Problems of the National Academy of Sciences of Belarus, Minsk*

*The design of low-power circuits is becoming increasingly important due to the fact that excessive energy dissipation by digital devices becomes an obstacle to further increase the integration level and VLSI complexity, as well as due to the expansion of the market of portable self-powered devices. The energy consumption depends on many electrical and topological parameters of the circuit, and its reduction can be ensured at different design levels. In this connection, one of the most important problems is the development of methods and tools for energy consumption estimation not only of circuits at the transistor level, but also for calculating forecast estimates in the process of their design. The paper deals with the problem of energy consumption estimation of microcircuits based on CMOS technology. The energy consumption estimate is understood as the estimate of the average value of the energy dissipated by the circuit. The paper presents an analytical survey of known methods for estimating the average energy consumption of static CMOS circuits in the normal mode of their operation, used at different design stages.*

**Keywords:** VLSI design, power consumption, CMOS technology, simulation, power estimation

DOI 10.21777/2500-2112-2018-4-50-59

**Введение**

Основными причинами повышенного внимания к вопросу минимизации рассеивания энергии при функционировании интегральных микросхем являются: 1) быстрый рост плотности кристаллов СБИС и отсюда возрастание рассеивания энергии, приводящее к перегреву устройства и, как следствие, к нарушению его функциональности и сокращению срока безотказной работы; 2) возрастание числа портативных устройств с автономным питанием, важным параметром которых является время автономной работы без подзарядки. В последние годы фактор минимизации энергопотребления при проектировании интегральных схем стал играть такую же важную роль, как площадь и быстродействие электронных устройств. Энергопотребление зависит от многих электрических и топологических параметров не только изготовления схемы, но и режима ее функционирования.

Снижение энергопотребления проектируемой схемы обеспечивается на разных уровнях проектирования: от архитектурного и логического до схемотехнического. В связи с этим САПР микроэлектронных схем должны оснащаться средствами, которые позволяют оценивать энергопотребление не только уже спроектированных схем на конечном схемотехническом этапе проектирования (на уровне транзисторов), но и получают прогнозные оценки на более высоких уровнях проектирования схем (логическом и алгоритмическом) с тем, чтобы избежать дорогостоящей процедуры перепроектирования схем на стадии изготовления.

К разрабатываемым методам оценки энергопотребления предъявляется требование обеспечения баланса между двумя взаимоисключающими факторами: повышение точности оценок и сокращение времени их вычисления. На этапах логического и алгоритмического проектирования целесообразно использовать более быстрые оценки энергопотребления схемы с тем, чтобы оперативно оценивать влияние выбора того или иного варианта оптимизации и синтеза схем на энергопотребление результирующей схемой, и выбрать наиболее подходящие варианты оптимизации.

Под оценкой энергопотребления далее понимается оценка среднего значения энергии, рассеиваемой схемой в штатном (нормальном) режиме функционирования схемы. Эта оценка существенно отличается от оценки мощности, максимально потребляемой в каком-то отдельном такте функционирования схемы. В настоящей работе рассматривается проблема оценки энергопотребления микросхем, выполненных на основе КМОП-технологии [5, 7]. Приводится аналитический обзор известных методов оценки среднего энергопотребления статических КМОП-схем в штатном режиме их функционирования.

**1 Составляющие потребляемой мощности микросхемы**

В общем случае энергопотребления логической схемой является сложной функцией, зависящей от задержек распространения сигналов через схему, частоты синхронизации, технологических параметров изготовления, топологии микросхемы, а в случае КМОП-технологии и от последовательности прилагаемых к схеме входных воздействий. Всю мощность, рассеиваемую КМОП-микросхемой, можно разделить на статическую и динамическую составляющие. Статическая составляющая обусловлена наличием статических проводящих путей между шинами питания или токов утечки. У большинства хорошо спроектированных КМОП-схем эта составляющая энергопотребления мала. До 80% всей рассеиваемой КМОП-схемой энергии приходится на ее динамическую составляющую [28], порождаемую нестационарным поведением узлов схемы и рассеиваемую только во время переходных процессов, когда сигналы на выходах узлов схемы переключаются. Чем больше происходит переключений, тем выше динамическая составляющая потребляемой мощности.

В КМОП-технологии основной вклад в суммарную динамическую мощность вносят два фактора [7, 10, 11, 27, 28]: чисто динамическая мощность  $P_{dyn}$ , обусловленная зарядом и разрядом емкостной нагрузки узла, и мощность  $P_{sc}$  рассеивания энергии за счет сквозных токов через микросхему при переключениях в ней. В типичных КМОП-цепях доминирующим фактором является емкостное рассеяние  $P_{dyn}$ , а потребление мощности  $P_{sc}$  удерживается в приемлемых пределах на технологическом уровне, поэтому этот фактор при оптимизации энергопотребления схемы на логическом уровне, как

правило, не учитывается [5, 11, 29]. Согласно упрощенной модели средняя величина мощности, рассеиваемой на выходе синхронной микросхемы, выражается известным упрощенным соотношением [14, 21, 29]:

$$P_{dyn} = \frac{1}{2} V_{dd}^2 f_{clk} E_s C_L, \quad (1)$$

где  $V_{dd}$  – напряжение питания;

$f_{clk}$  – частота синхронизации;

$E_s$  – переключательная активность выхода схемы, определяемая как математическое ожидание числа логических переходов сигнала (из 1 в 0 или из 0 в 1) за один период синхронизации;

$C_L$  – емкостная нагрузка микросхемы.

Значения параметров  $V_{dd}$  и  $f_{clk}$  в (1) определяются при архитектурном проектировании; на логическом уровне значение

$$\frac{1}{2} V_{dd}^2 f_{clk}$$

(оценивающее рассеивание мощности на единицу емкости при смене значения питающего напряжения) можно считать константой для всех узлов схемы. Минимизация динамической мощности сводится таким образом к минимизации произведения  $E_s C_L$ , часто называемого переключаемой емкостью, и рассеивание энергии схемой на уровне проектирования логики оценивается как сумма переключаемых емкостей всех ее узлов:

$$P_s = \sum_{i=1}^n E_i C_i, \quad (2)$$

где  $n$  – число узлов в схеме;

$C_i$  – емкостная нагрузка;

$E_i$  – переключательная активность  $i$ -го узла схемы.

Известны два подхода [10, 20, 22, 27] к оценке энергопотребления схем:

- методы, основанные на статическом анализе, в основе которого лежит вероятностный подход к определению переключательной активности сигналов в схеме;

- методы, основанные на динамическом анализе, в основе которого лежит моделирование исследуемой схемы на множестве возможных сценариев ее функционирования (упорядоченных последовательностей входных воздействий).

Наиболее широко для оценки энергопотребления схем используются методы, основанные на моделировании. Основным и наиболее трудоемким этапом вычисления оценок на основе моделирования является генерация тестовых последовательностей (тестов), задаваемых последовательностями наборов значений сигналов на входах схемы и ориентированных на исследование схемы в интересующем разработчика режиме работы схемы. Для достоверной оценки рассеивания мощности схемы она должна моделироваться на тестовой последовательности, которая состоит из большого числа входных воздействий, хорошо покрывающих область возможных входных последовательностей схемы (с тем, чтобы получить среднее значение рассеивания мощности), или из входных воздействий с заданными вероятностными характеристиками, которые отражают вероятности изменения значений сигналов на входах схемы при ее штатном функционировании.

Недостатком методов оценки энергопотребления на основе динамического анализа является то, что они не годятся для использования в процессе проектирования схемы, когда ее окружение также еще не спроектировано. В таких случаях оправданно использование статических методов, основанных на вычислении вероятностных характеристиках сигналов и функционально-структурных свойствах анализируемой схемы.

Вероятностные методы хотя и уступают моделированию по степени соответствия реальному поведению схемы, однако позволяют просто оценить, как часто сигналы на выходах узлов схемы меняют свои значения, и использовать эту информацию для оценки динамической составляющей энергопотребления. Именно этот подход позволяет сравнивать варианты реализации схемы в процессе ее проектирования, что позволяет уже на логическом уровне учитывать энергопотребление схемы.

2 Оценка энергопотребления на основе статического анализа

Этот подход к оценке энергопотребления предполагает задание вероятностей переключения сигналов на входе схемы, которые отражают частоты смены их значений, и основан на распространении вероятностной информации о смене значений сигналов через всю схему, от входов к выходам [22]. Вероятностный подход позволяет: 1) компактно определить возможные последовательности входных воздействий на схему и оценить энергопотребление схемы, исходя из взаимного влияния входных сигналов в последовательные моменты времени; 2) избежать повторения циклов моделирования схемы на задаваемом большом множестве тестовых наборов.

В литературе предложено множество вероятностных методов оценки энергопотребления логических схем [8, 10, 12, 20, 22, 23, 27, 28], основная масса которых применима только для комбинационных схем и выведена

- в предположениях разных задержек сигналов узлами схемы (с нулевыми, единичными и реальными задержками);
- в предположении (или без него) пространственной независимости сигналов: без учета корреляции их значений на разных полюсах;
- в предположении (или без него) временной независимости, предполагающей отсутствие корреляции значений сигнала в разных тактах;
- с учетом и без учета переходных процессов при смене сигнала;
- с использованием разных моделей (на основе бинарных диаграмм решений (Binary Decision Diagram – BDD) [15], коэффициентов корреляции);
- с использованием разных статистических характеристик (вероятности появления сигнала 1, вероятности смены сигнала на полюсе, интенсивностей переключений сигналов – плотностей переключений сигналов, равновесных вероятностей, вероятностных форм сигналов и т.д.).

Различают [22] вероятность  $p_i^1$  появления сигнала 1 (0) на некотором  $i$ -м полюсе и вероятность смены сигнала на этом полюсе. Первая вероятность  $p_i^1$  называется сигнальной вероятностью и определяется средней долей тактов, на которых сигнал на  $i$ -м полюсе имеет единичное значение. Вторая вероятность  $p_i^{1 \rightarrow 0}$  (или  $p_i^{0 \rightarrow 1}$ ) есть вероятность смены значения сигнала с 1 на 0 (или с 0 на 1) и определяется средней долей тактов, на которых сигнал на  $i$ -м полюсе меняет свое значение по сравнению со значением в предшествующем такте.

В предположениях нулевых задержек элементов (что исключает переключения за счет переходных процессов) и временной независимости сигналов вероятность  $p_i^{1 \rightarrow 0}$  ( $p_i^{0 \rightarrow 1}$ ) равна произведению вероятности появления на нем сигнала 1 (0) в одном такте на вероятность того, что в следующем такте на нем появится 0 (1). Соответственно переключательная активность  $i$ -го полюса схемы равна произведению  $E_i = p_i^{1 \rightarrow 0} p_i^{0 \rightarrow 1} = 2p_i^1 p_i^0$  и в предположении, что  $p_i^1, p_i^0 < 1$ , и при обозначении  $p_i I$  просто через  $p_i$ :

$$E_i = 2p_i(1 - p_i). \tag{3}$$

Сигнальные вероятности  $p_e$  на выходе простых элементов, например, инвертора, НЕ, И и ИЛИ с  $n(e)$  входными полюсами, могут быть подсчитаны, исходя из таблиц истинности:

$$p_e^{\neg} = 1 - p_1; \quad p_e^{\wedge} = \prod_{i=1}^{n(e)} p_i; \quad p_e^{\vee} = 1 - \prod_{i=1}^{n(e)} (1 - p_i). \tag{4}$$

Впервые вероятностная оценка (3) была использована для оценки энергопотребления схем в работе [16]. Если заданы сигнальные вероятности входных сигналов схемы, то они могут быть распространены на выходы элементов схемы, используя (4), и через всю схему на ее выходные полюсы. А затем подсчитаны переключательные активности всех полюсов схемы (по формуле (1)) и переключательная активность схемы в целом (1), (2).

Оценки энергопотребления узлов схемы в предположении ненулевой задержки сигналов основаны на более общих по сравнению с сигнальной вероятностью и переключательной активностью понятиях: равновесной вероятности и плотности переключений [22]. Эти характеристики определяют поведение сигнала во времени, а не только поведение в устойчивом состоянии в течение такта. Пред-

полагается, что логический сигнал  $x(t)$  представляет собой стохастический процесс смены значений с 0 на 1 и с 1 на 0 в случайные моменты времени в интервале  $t \in (-\infty +\infty)$ .

Равновесная вероятность  $P_x$  логического сигнала  $x(t)$  определяется как средняя доля времени, в течение которого сигнал имеет значение 1:

$$P_x = \lim_{T \rightarrow \infty} \frac{1}{T} \int_{-\frac{T}{2}}^{+\frac{T}{2}} x(t) dt.$$

В отличие от сигнальной, равновесная вероятность зависит от задержек сигналов на входе узла и учитывает неодновременность изменения значений этих сигналов. В предположении нулевой задержки сигналов равновесная вероятность сводится к сигнальной. Плотность переключений логического сигнала  $x(t)$  определяется как математическое ожидание числа логических переходов сигнала (из 1 в 0 или из 0 в 1) за единицу времени:

$$A_x = \lim_{T \rightarrow \infty} \left( \frac{n(T)}{T} \right),$$

где  $n(T)$  – число переключений сигнала  $x(t)$  в интервале времени длины  $T$ .

Так как плотность переключений зависит от задержек сигналов, переключательная активность является нижней оценкой значения плотности переключений. В синхронной схеме с длительностью такта  $T_c$  имеет место следующее соотношение между плотностью переключений и переключательной активностью:  $A_x \geq \frac{E_x}{T_c}$ . Равенство имеет место для случая нулевой задержки сигналов. При вычислении плотности переключений внутреннего узла схемы предполагается, что плотности переключений сигналов на его входе заданы. Показано [23], что если входы  $x_i$  элемента  $y$  независимы в пространственном и временном плане, то плотность переключений сигнала на его выходе вычисляется как

$$A_y = \sum_{i=1}^n P \left( \frac{dy}{dx_i} \right) A_{x_i}. \tag{5}$$

Вычисление оценки энергопотребления узла с использованием плотности переключений в качестве меры переключательной активности производится по формуле (1) с заменой  $E_s$  на  $A_s$ .

Если функция  $y$  зависит от булевой переменной  $x$ , то булева разность  $y$  относительно переменной  $x$  определяется как

$$\frac{dy}{dx} = y|_{x=1} \oplus y|_{x=0}.$$

Булева разность задает в логическом виде зависимость значения функции  $y$  от значения ее аргумента  $x$ , или степень влияния входного сигнала  $x$  на значение сигнала на выходе элемента  $y$ . Если,

$$\frac{dy}{dx} = 1,$$

то всякое изменение значения переменной  $x$  влечет за собой изменение значения функции  $y$ .

Величина  $P \left( \frac{dy}{dx} \right)$  определяет вероятность проявления изменения значения входного сигнала  $x$  на выходе элемента  $y$ , а  $P \left( \frac{dy}{dx} \right) A_x$  – вклад сигнала  $x$  в переключательную активность выходного полюса элемента  $y$ .

При вычислении интенсивности переключений на основе (5) не принимается во внимание пространственная корреляция сигналов, зато в отличие от (3) хотя и приближенно, но учитываются переходные процессы, возникающие из-за разновременности переключения сигналов на входе элемента. В [28] предлагается обобщение модели (5) на случай наличия как одновременных, так и разновременных переключений сигналов на входе элемента.

### 3 Оценка энергопотребления на основе динамического анализа

Моделирование широко используется в практике проектирования для установления разных параметров (в том числе и энергопотребления) уже спроектированных схем. Наиболее известным и достаточно эффективным средством моделирования электрических схем является система SPICE (Simulation

Program with Integrated Circuit Emphasis) – программа моделирования с ориентацией на интегральные схемы (разработка Калифорнийского университета Беркли) [25]. В процессе моделирования схемы на заданной последовательности наборов значений входных сигналов в форме диаграмм входных напряжений вычисляются усредненные формы диаграмм выходных напряжений и токов узлов схемы, по которым вычисляется среднее энергопотребление схемы с учетом технологии ее изготовления. На основе программы SPICE Synopsys Inc. была разработана промышленная программа HSPICE [18], которая может подсчитывать задержки, значения рассеивания мощности схем с тем, чтобы перепроектировать схему, доведя эти параметры до заданных значений.

Программа PowerMill [17], в основе которой лежит событийное моделирование, позволяет увеличить скорость вычисления оценок рассеивания мощности схем на транзисторном уровне на два-три порядка по сравнению со SPICE. Программа Entice-Aspen [19] позволяет оценивать энергопотребление на разных уровнях представления тестируемой схемы: от транзисторного до логического. В этой программе последовательность тестовых наборов трактуется как последовательность событий, на которых возможно рассеивание мощности. И если SPICE вычисляет рассеивание мощности схемой для каждого тестового вектора, то программа Entice-Aspen во время моделирования отслеживает переключение сигналов на каждом из полюсов схемы и вычисляет общее энергопотребление как сумму соответствующих значений, подсчитанных для всей последовательности тестовых наборов, для всех полюсов.

Поскольку результаты моделирования электрической схемы существенно зависят от выбора тестируемой последовательности, то процесс оценки энергопотребления делится на следующие два этапа:

- построение тестовой последовательности наборов значений входных сигналов, подаваемых на входные полюсы схемы;
- проведение моделирования на заданной тестовой последовательности и нахождение оценки среднего рассеивания мощности КМОП-схемой.

Результирующая оценка среднего рассеивания мощности КМОП-схемой существенно зависит от того, какие и сколько наборов значений входных сигналов используется в тестовой последовательности, в какой последовательности они подаются, какова форма сигналов и т.д. Множество тестовых векторов может быть сгенерировано псевдослучайным способом или с помощью направленных методов. Наиболее разработанным подходом динамической оценки рассеивания мощности является использование метода Монте Карло моделирования объектной схемы [13].

Динамические методы оценки рассеивания мощности КМОП-схемой на основе моделирования требуют большого времени выполнения, но если подобрана достаточно представительная (для заданного применения тестируемой схемы) длинная тестовая последовательность, то с помощью моделирования может быть получена достоверная оценка рассеивания мощности для тестируемой КМОП-схемы.

#### 4 Построение тестовых последовательностей для оценки среднего энергопотребления

Основная проблема при динамической оценке рассеивания мощности заключается в построении такой тестовой последовательности, которая была бы типичной для штатного режима функционирования тестируемой схемы и имела размер, позволяющий сделать статистически значимые выводы. В случае тестов для оценки энергопотребления важен порядок подачи тестовых наборов на входы схемы, так как значение оценки существенно зависит от числа сигналов, изменяющих свои значения в следующем такте. Рассмотрим основные из известных в литературе методов построения тестовых последовательностей.

1 Последовательность всех двоичных  $n$ -разрядных чисел в порядке их возрастания (или убывания) [3]. Это один из самых простых тестов, используемых в том случае, когда условия использования устройства (характер входной последовательности сигналов) не оговорены. Размерность такого теста  $t = 2^n$  для схемы с  $n$  входами

2 Последовательность заданного числа псевдослучайных  $n$ -разрядных чисел [3,13]. Эти тесты позволяют оценить поведение схемы в ситуации, когда характер изменения входных сигналов для него не определен. Размер псевдослучайного теста задается параметрически. Для сложных схем метод случайного выбора разумного числа тестовых наборов широко используется.

3 Тестовая последовательность полного перебора включают в себя все упорядоченные пары входных наборов из булева пространства размерности  $n$ , такие, что смежные элементы в них будут представлены ровно по одному разу [4]. Этот тест позволяет учесть переключение значений сигналов для всех пар двоичных наборов. Размер такого теста  $t = 2^n(2^n - 1) + 1$ . Число тестовых наборов быстро возрастает с увеличением числа  $n$  полюсов схемы: для  $n = 5, 6, 7, 8, 9, 10 \dots t = 993, 4033, 16257, 65281, 261633, 1047553, \dots$

4 Последовательность псевдослучайных тестов с заданными вероятностными характеристиками сигналов [9]. Задаются значения сигнальных вероятностей  $p_i$  входных сигналов схемы. Генерируется такая псевдослучайная последовательность заданной длины, вычисленные по которой значения вероятностей  $p_i^*$  входных сигналов совпадут или будут близки к заданным значениям сигнальных вероятностей  $p_i$ .

5 Квазислучайная тестовая последовательность заданного размера, которая позволяет равномерно охватить пространство возможных  $n$ -разрядных векторов для любого заданного ее размера [9,26]. Элементы этой последовательности не обладают свойством независимости, но имеют хорошую асимптотику, позволяющую использовать их в методе Монте-Карло [26]. Каждый очередной ее набор не зависит от предыдущих, и, если все булево пространство из  $2^n$  векторов разбить на равновеликие части, то в каждой из них окажется примерно одинаковое число векторов из построенной последовательности. В основе метода генерации квазислучайных тестовых последовательностей используется метод построения одномерных последовательностей Соболя [6], модифицированный Антоновым и Салеем [1].

## 5 Оценка энергопотребления на основе гибридных подходов

Наряду с упомянутыми подходами оценки энергопотребления на основе статического (вероятностного) и динамического (на основе моделирования) анализа развиваются гибридные методы, например, вероятностного моделирования [24]. В методах вероятностного моделирования исходное задание последовательности наборов значений входных сигналов заменяется вероятностными диаграммами входных сигналов. Вероятностная диаграмма представляет собой последовательность значений, задающих сигнальные вероятности для определенного интервала времени, а также вероятности смены значений сигналов с 0 на 1 для определенных моментов времени. Вероятностная диаграмма позволяет вычислить усредненные диаграммы тока для узлов схемы за один шаг моделирования, по которым и вычисляется среднее энергопотребление элементов и схемы в целом.

## Заключение

Проанализированы известные подходы к оценке среднего значения потребляемой мощности для случая комбинационных КМОП-микросхем при разных допущениях. Новизна результатов проведенных исследований заключается в систематизации существующих подходов, их сравнительном анализе и обсуждении особенностей применения в практике проектирования интегральных схем с учетом энергопотребления. Полученные результаты ориентированы на использование разработчиками отечественных САПР функциональных блоков заказных КМОП СБИС с пониженным энергопотреблением. Программные средства, реализующие описанные методы оценки среднего значения потребляемой мощности, были использованы при разработке программного комплекса логического проектирования заказных КМОП СБИС с учетом площади кристалла и потребляемой мощности [3].

## Список литературы

1. Антонов И.А. Экономичный способ вычисления ЛПТ-последовательностей / И.А. Антонов, А.М. Салеев // Ж. вычисл. математики и математической физики. – 1979. – № 19. – С. 243–245.
2. Бибило П.Н. Система логического проектирования функциональных блоков заказных КМОП СБИС с пониженным энергопотреблением / П.Н. Бибило, Н.А. Авдеев, С.Н. Кардаш, Н.А. Кириенко, Ю.Ю. Ланкевич, И.П. Логинова, В.И. Романов, Д.И. Черемисинов, Л.Д. Черемисинова // Микроэлектроника. – 2018. – Т. 47. – № 1. – С. 71–87.

3. Бибило П.Н. Оценка энергопотребления логических КМОП-схем по их переключательной активности / П.Н. Бибило, Н.А. Кириенко // Микроэлектроника. – 2012. – № 1 – С. 65–77.
4. Закревский А.Д. Минимизация перебора ориентированных пар / А.Д. Закревский // Танаевские чтения: доклады Четвертой Междунар. науч. конф. Минск, 29–30 марта 2010 г. / ОИПИ НАН Беларуси. – Минск, 2010. – С. 58–62.
5. Рабаи Ж.М. Цифровые интегральные схемы. Методология проектирования / Ж.М. Рабаи, А. Чандракасан, Б. Николич. М.: И.Д. Вильямс, 2007. – 912 с.
6. Соболев И.М. Равномерно распределенные последовательности с дополнительным свойством равномерности / И.М. Соболев // Ж. вычисл. математики и математической физики. – 1976. – № 16. – С. 1332–1337.
7. Уэйкерли Дж. Проектирование цифровых устройств. Т. 1 / Дж. Уэйкерли. – М.: Постмаркет, 2002. – 544 с.
8. Черемисинова Л.Д. Оценка энергопотребления КМОП-схем на логическом уровне / Л.Д. Черемисинова // Информационные технологии. – 2010. – № 8. – С. 27–35.
9. Черемисинова Л.Д. Модели и алгоритмы оценивания среднего значения мощности, потребляемой последовательностными КМОП-схемами / Л.Д. Черемисинова // Весці НАН Беларусі. Сер. фіз.-мат. навук. – 2016. – № 2. – С. 98–108.
10. Benini L. Logic Synthesis for Low Power / L. Benini, G. De Micheli // Logic Synthesis and Verification; eds. S. Hassoun, T. Sasao, R.K. Brayton. – Boston, Dordrecht, London: Kluwer Academic Publishers, 2002. – P. 197–223.
11. Bellaouar A.B. Low-Power Digital VLSI Design Circuits and Systems / A.B. Bellaouar, M.I. Elmasry, J. Allen. – USA, Norwell: Kluwer Academic Publishers, 1995. – 530 с.
12. Benini L. Analysis of hazard contribution to power dissipation in CMOS IC's / L. Benini, M. Favalli, B. Riscio // Proc. of the 1994 Intern. Workshop on Low Power Design. – April, 1994. – P. 27–32.
13. Burch R. A Monte Carlo approach for power estimation / R. Burch, F.N. Najm, P. Yang, T. Trick // IEEE Transactions on VLSI Systems. – №1(1). – 1993. – P. 63–71.
14. Chandrakasan A.P. Low Power CMOS Digital Design / A.P. Chandrakasan // IEEE Journal on Solid-State Circuits. – 1992. – Vol. 27. – № 4. – P. 473–482.
15. Chakravarty S. On the complexity of using BDDs for the synthesis and analysis of Boolean circuits / S. Chakravarty // Proc. of the 27<sup>th</sup> Annual Allerton Conference on Communication, Control and Computing. – 1989. – P. 730–739.
16. Cirit M.A. Estimating dynamic power consumption of CMOS circuits / M.A. Cirit // IEEE Intern. Conf. on Computer-Aided Design, November 1987. – Santa Clara, CA, 1987. – P. 534–537.
17. Deng C. Power analysis for CMOS/BiCMOS circuits / C. Deng // Proc. of the 1994 International Workshop on Low Power Design, April 1994. – P. 3–8.
18. Eldo User's Manual, Software Version 6.6\_1, Release 2005.3. Mentor Graphics Corp. Mode of access. URL: [http://web.engr.uky.edu/~elias/tutorials/Eldo/eldo\\_ur.pdf](http://web.engr.uky.edu/~elias/tutorials/Eldo/eldo_ur.pdf) (Date of access: 20.12.2018).
19. George B.J. Power analysis and characterization for semi-custom design / B.J. George, D. Gossain, et al // Proc. of the International Workshop on Low Power Design – 1994. – P. 215–218.
20. Ghosh A. Estimation of average switching activity in combinational and sequential circuits / A. Ghosh, S. Devadas, K. Keutzer, J. White // 29th ACM / IEEE Design Automation Conference, Tech. Dig. – June 1992. – P. 253–259.
21. Holt G. Minimizing Interconnect Energy through Integrated Low-Power Placement and Combinational Logic Synthesis / G. Holt, A. Tyagi // In ISPD, California USA. – 1997. – P. 48–53.
22. Najm F.N. A survey of Power Estimation Techniques in VLSI Circuits / F.N. Najm // IEEE Trans. on VLSI. – 1994. – №12. – P. 446–455.
23. Najm F.N. Transition density: A new measure of activity of digital circuits / F.N. Najm F.N. // IEEE Trans. on Computer-Aided Design of Integr. Circuit and Systems. – 1993. – Vol. 12. – №2. – P. 310–323.
24. Najm F. Probabilistic simulation for reliability analysis of CMOS VLSI circuits / F. Najm, R. Burch, P. Yang, I. Hajj // IEEE Trans. on Computer-Aided Design. – 1990. – Vol. 9. – №4. – P. 439–450.
25. Nagel L.W. Spice2: A computer program to simulate semiconductor circuits / L.W. Nagel. – Memorandum No. UCB/ERL M520, Berkeley: Electronics Research Laboratory, College of Engineering University of

California. – May, 1975. Mode of access. URL: <https://www2.eecs.berkeley.edu/Pubs/TechRpts/1975/ERL-520.pdf> (Date of access: 20.12.2018).

26. *Niederreiter H.* Random number generation and quasi-Monte Carlo methods / H. Niederreiter // Society for industrial and applied mathematics, 1992.

27. *Pedram M.* Power Minimization in IC Design: Principles and Applications / M. Pedram // ACM Transactions Design Automation Electronic Systems. – 1996. – Vol. 1. – P. 3–56.

28. *Roy K.* Low Power CMOS VLSI Circuit Design / K. Roy, S.C. Prasad. – N. Y.: John Wiley and Sons Inc., 2000. – 376 p.

29. *Yeap G.P.* Practical Low Power Digital VLSI Design / G.P. Yeap. Kluwer Academic Publisher, 1998.

### References

1. *Antonov I.A.* `Ekonomichnyj sposob vychislenija LPT-posledovatel'nostej / I.A. Antonov, A.M. Saleev // Zh. vychisl. matematiki i matematicheskoy fiziki. – 1979. – № 19. – S. 243–245.

2. *Bibilo P.N.* Sistema logicheskogo proektirovanija funktsional'nyh blokov zakaznyh KMOP SBIS s ponizhennym `energopotrebleniem / P.N. Bibilo, N.A. Avdeev, S.N. Kardash, N.A. Kirienko, Ju.Ju. Lankevich, I.P. Loginova, V.I. Romanov, D.I. Cheremisinov, L.D. Cheremisinova // Mikro`elektronika. – 2018. – T. 47. – № 1. – S. 71–87.

3. *Bibilo P.N.* Otsenka `energopotreblenija logicheskikh KMOP-shem po ih pereklyuchatel'noj aktivnosti / P.N. Bibilo, N.A. Kirienko // Mikro`elektronika. – 2012. – № 1 – С. 65–77.

4. *Zakrevskij A.D.* Minimizatsija perebora orientirovannyh par / A.D. Zakrevskij // Tanaevskie chteniya: doklady Chetvertoj Mezhdunar. nauch. konf. Minsk, 29–30 marta 2010 g. / OIPI NAN Belarusi. – Minsk, 2010. – S. 58–62.

5. *Rabai Zh.M.* Tsifrovye integral'nye shemy. Metodologija proektirovanija / Zh.M. Rabai, A. Chandrakasan, B. Nikolich. M.: I.D. Vil'jams, 2007. – 912 s.

6. *Sobol' I.M.* Ravnomerno raspredelelynye posledovatel'nosti s dopolnitel'nym svoystvom ravnornosti / I.M. Sobol' // Zh. vychisl. matematiki i matematicheskoy fiziki. – 1976. – № 16. – S. 1332–1337.

7. *U`ejkerli Dzh.* Proektirovanie tsifrovyyh ustrojstv. T. 1 / Dzh. U`ejkerli. – M.: Postmarket, 2002. – 544 s.

8. *Cheremisinova L.D.* Otsenka `energopotreblenija KMOP-shem na logicheskome urovne / L.D. Cheremisinova // Informatsionnye tehnologii. – 2010. – № 8. – S. 27–35.

9. *Cheremisinova L.D.* Modeli i algoritmy otsenivanija srednego znachenija moschnosti, potrebljaemoj posledovatel'nostnyimi KMOP-shemami / L.D. Cheremisinova // Vestsi NAN Belarusi. Ser. fiz.-mat. navuk. – 2016. – № 2. – S. 98–108.

10. *Benini L.* Logic Synthesis for Low Power / L. Benini, G. De Micheli // Logic Synthesis and Verification; eds. S. Hassoun, T. Sasao, R.K. Brayton. – Boston, Dordrecht, London: Kluwer Academic Publishers, 2002. – P. 197–223.

11. *Bellaouar A.B.* Low-Power Digital VLSI Design Circuits and Systems / A.B. Bellaouar, M.I. Elmasry, J. Allen. – USA, Norwell: Kluwer Academic Publishers, 1995. – 530 s.

12. *Benini L.* Analysis of hazard contribution to power dissipation in CMOS IC's / L. Benini, M. Favalli, B. Risco // Proc.of the 1994 Intern. Workshop on Low Power Design. – April, 1994. – P. 27–32.

13. *Burch R.* A Monte Carlo approach for power estimation / R. Burch, F.N. Najm, P. Yang, T. Trick // IEEE Transactions on VLSI Systems. – №1(1). – 1993. – P. 63–71.

14. *Chandrakasan A.P.* Low Power CMOS Digital Design / A.P. Chandrakasan // IEEE Journal on Solid-State Circuits. – 1992. – Vol. 27. – № 4. – P. 473–482.

15. *Chakravarty S.* On the complexity of using BDDs for the synthesis and analysis of Boolean circuits / S. Chakravarty // Proc. of the 27th Annual Allerton Conference on Communication, Control and Computing. – 1989. – P. 730–739.

16. *Cirit M.A.* Estimating dynamic power consumption of CMOS circuits / M.A. Cirit // IEEE Intern. Conf. on Computer-Aided Design, November 1987. – Santa Clara, CA, 1987. – P. 534–537.

17. *Deng C.* Power analysis for CMOS/BiCMOS circuits / C. Deng // Proc. of the 1994 International Workshop on Low Power Design, April 1994. – P. 3–8.

18. Eldo User's Manual, Software Version 6.6\_1, Release 2005.3. Mentor Graphics Corp. Mode of access.

URL: [http://web.engr.uky.edu/~elias/tutorials/Eldo/eldo\\_ur.pdf](http://web.engr.uky.edu/~elias/tutorials/Eldo/eldo_ur.pdf) (Date of access: 20.12.2018).

19. *George B.J.* Power analysis and characterization for semi-custom design / B.J. George, D. Gossain, et al // Proc. of the International Workshop on Low Power Design – 1994. – P. 215–218.
20. *Ghosh A.* Estimation of average switching activity in combinational and sequential circuits / A. Ghosh, S. Devadas, K. Keutzer, J. White // 29th ACM / IEEE Design Automation Conference, Tech. Dig. – June 1992. – P. 253–259.
21. *Holt G.* Minimizing Interconnect Energy through Integrated Low-Power Placement and Combinational Logic Synthesis / G. Holt, A. Tyagi // In ISPD, California USA. – 1997. – P. 48–53.
22. *Najm F.N.* A survey of Power Estimation Techniques in VLSI Circuits / F.N. Najm // IEEE Trans. on VLSI. – 1994. – №12. – P. 446–455.
23. *Najm F.N.* Transition density: A new measure of activity of digital circuits / F.N. Najm // IEEE Trans. on Computer-Aided Design of Integr. Circuit and Systems. – 1993. – Vol. 12. – №2. – P. 310–323.
24. *Najm F.* Probabilistic simulation for reliability analysis of CMOS VLSI circuits / F. Najm, R. Burch, P. Yang, I. Hajj // IEEE Trans. on Computer-Aided Design. – 1990. – Vol. 9. – №4. – P. 439–450.
25. *Nagel L.W.* Spice2: A computer program to simulate semiconductor circuits / L.W. Nagel. – Memorandum No. UCB/ERL M520, Berkeley: Electronics Research Laboratory, College of Engineering University of California. – May, 1975. Mode of access. URL: <https://www2.eecs.berkeley.edu/Pubs/TechRpts/1975/ERL-520.pdf> (Date of access: 20.12.2018).
26. *Niederreiter H.* Random number generation and quasi-Monte Carlo methods / H. Niederreiter // Society for industrial and applied mathematics, 1992.
27. *Pedram M.* Power Minimization in IC Design: Principles and Applications / M. Pedram // ACM Transactions Design Automation Electronic Systems. – 1996. – Vol. 1. – P. 3–56.
28. *Roy K.* Low Power CMOS VLSI Circuit Design / K. Roy, S.C. Prasad. – N. Y.: John Wiley and Sons Inc., 2000. – 376 p.
29. *Yeap G.P.* Practical Low Power Digital VLSI Design / G.P. Yeap. Kluwer Academic Publisher, 1998.